

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-306397

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/36

(21)Application number : 07-052301

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.03.1995

(72)Inventor : OKUMURA HARUHIKO  
ITO TAKESHI

(30)Priority

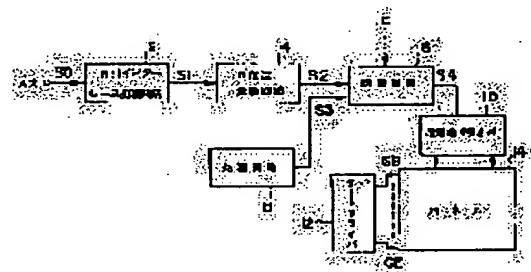
Priority number : 06 71566 Priority date : 16.03.1994 Priority country : JP

## (54) DISPLAY DEVICE AND LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

PURPOSE: To lengthen the period other than a video period up to display an image signal corresponding to the next pixel by interlacing the image signal in one frame in the ratio of n to m.

CONSTITUTION: An interlace processing part 2 interlaces an image signal in one frame in the ratio of (n) (odd number  $\geq 3$ ) to (m) (an arbitrary number  $\leq n$ ). Namely, an image signal input for one frame S0 is given to a 3:1 interlace processing part, 2, the 3:1 interlace processing is executed for every image signal input S0 corresponding to a sheet of fields in the 3:1 interlace processing part 2 and a signal S1 whose driving frequency is lowered to 1/3 is obtained. Then, the signal S1 is subjected to threefold speed conversion in a threefold speed conversion processing part 4 and a signal S2 is obtained. The signal S2 is written in the relevant pixel of a liquid crystal display panel 14 for every three lines in accordance with the respective image displaying positions by using a changeover circuit 6 controlled by a changeover signal C, a signal line driving circuit 10 and a gate line driving circuit 12.



## LEGAL STATUS

[Date of request for examination] 04.11.1999

[Date of sending the examiner's decision of rejection] 09.07.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-306397

(43)公開日 平成7年(1995)11月21日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
	5 3 0			
G 0 9 G 3/36				

審査請求 未請求 請求項の数22 O L (全 21 頁)

(21)出願番号 特願平7-52301

(22)出願日 平成7年(1995)3月13日

(31)優先権主張番号 特願平6-71566

(32)優先日 平6(1994)3月16日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 奥村 治彦

神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内

(72)発明者 伊藤 剛

神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内

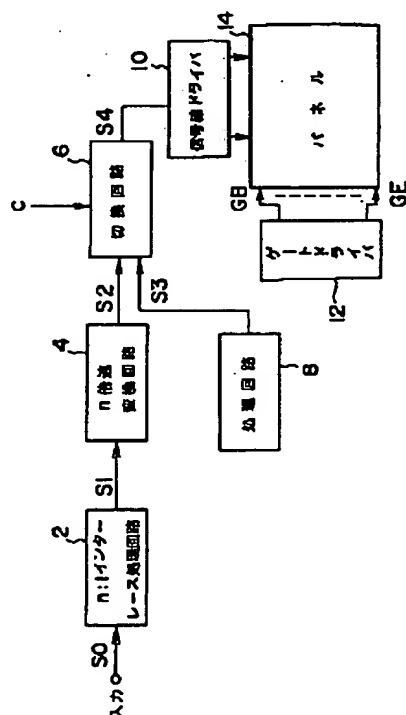
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 表示装置および液晶表示装置

(57)【要約】

【目的】 現実の映像期間以外の期間を帰線期間以上に拡張し、この期間に所望の処理を行うことのできる表示装置を提供すること。

【構成】 画素選択用のスイッチ素子を有する表示装置において、1フレームの画像信号を $n$  ( $n$ は3以上の奇数) 対 $m$  ( $m$ は $n$ 以下の任意の数) にインターレース処理するインターレース処理手段と、このインターレース処理された画像信号に従い、前記画素選択用のスイッチ素子を駆動して画像を表示をする画像表示手段と、複数の画素に対応する画像信号を表示した後、次の画素に対応する画像信号を表示するまでの期間内に、前記インターレース処理手段と前記画像表示手段との間の接続を断つとともに、前記画像表示手段に対して表示以外の処理を行う映像期間外処理手段とを備えたことを特徴とする。



1

## 【特許請求の範囲】

【請求項1】画素選択用のスイッチ素子を有する表示装置において、

1フレームの画像信号を $n$  ( $n$ は3以上の奇数) 対 $m$  ( $m$ は $n$ 以下の任意の数) にインターレース処理するインターレース処理手段と、

このインターレース処理された画像信号に従い、前記画素選択用のスイッチ素子を駆動して画像を表示をする画像表示手段と、

複数の画素に対応する画像信号を表示した後、次の画素に対応する画像信号を表示するまでの期間内に、前記インターレース処理手段と前記画像表示手段との間の接続を断つとともに、前記画像表示手段に対して表示以外の処理を行う映像期間外処理手段とを備えたことを特徴とする表示装置。

【請求項2】前記画像表示手段に対して映像期間外に行う処理は、画質を改善するために各画素に補正信号を印加する処理であることを特徴とする請求項1に記載の表示装置。

【請求項3】前記画像表示手段に対して映像期間外に行う処理は、操作者が入力ペンで液晶パネルを指示した位置を検出するペン入力処理であることを特徴とする請求項1に記載の表示装置。

【請求項4】前記画像表示手段に対して映像期間外に行う処理は、前記画素選択用スイッチ素子をオフしたまま、前記画像表示手段に供給される電源と前期画像表示手段内の回路の一部または全部との接続を切る電力制御手段によるものであることを特徴とする請求項1に記載の表示装置。

【請求項5】前記インターレース処理された画像信号を $n/m$ 倍速変換する倍速変換手段と、この $n/m$ 倍速変換された画像信号に従い、前記画素選択用のスイッチ素子を駆動して画像を表示をする画像表示手段と、

1フレームの画像信号を表示した後、次の画像信号を表示するまでの期間内に、前記倍速変換手段と前記画像表示手段との間の接続を断つとともに、前記画像表示手段に対して所望の処理を行う映像期間外処理手段とをさらに備えたことを特徴とする請求項1に記載の表示装置。

【請求項6】前記電力制御手段により、前記電源と前記画像表示手段との接続が切れている期間に、前記画像表示手段の出力をハイインピーダンスにすることを特徴とする請求項4に記載の表示装置。

【請求項7】前記画像表示手段に供給される電源との接続を切る前記画像表示手段内の回路は信号線駆動回路に含まれる階調発生回路であることを特徴とする請求項4に記載の表示装置。

【請求項8】前記画像表示手段に供給される電源との接続を切る前記画像表示手段内の回路は信号線ドライバーに用いられるバイアス電流回路であることを特徴とする

2

請求項4に記載の表示装置。

【請求項9】前記表示装置は、液晶からなる画素をマトリックス上に配列した液晶表示装置であり、一画素ごとに画素選択用に設けたスイッチ素子を經由して画素に画像信号を供給する複数の信号線と、前記スイッチ素子の導通を制御する複数のゲート線と、前記画素と対向して共通の電圧を印加するコモン電極からなることを特徴とする請求項5に記載の表示装置。

【請求項10】前記表示装置は、蛍光体からなる画素をマトリックス上に配列したプラズマ表示装置であり、前記画素と組み合わせて電圧を印加される複数のアノード電極および複数のカソード電極とからなり、前記スイッチ素子を經由して、前記複数のアノード電極とカソード電極の一方に画像信号が供給され、他方に走査信号が供給されることを特徴とする請求項5に記載の表示装置。

【請求項11】前記表示装置は、1枚のフィールド画像を奇数枚のサブフィールド画像に分割することにより、駆動周波数を下げるマルチフィールド駆動法を適用したものであることを特徴とする請求項9に記載の表示装置。

【請求項12】前記画像表示手段に対して映像期間外に行う処理は、正極性の保持特性と負極性の保持特性を等しくするように、画素の部分に負極性の信号を入力する処理であることを特徴とする請求項9に記載の表示装置。

【請求項13】前記画像表示手段に対して映像期間外に行う処理は、前記コモン電極に印加する共通の電圧と同等の電圧を信号線に印加する処理であることを特徴とする請求項9に記載の表示装置。

【請求項14】前記画像表示手段に対して映像期間外に行う処理は、操作者がペン入力することにより、液晶の静電容量が変化することを検出する処理であることを特徴とする請求項9に記載の表示装置。

【請求項15】1画素毎に画素選択用のスイッチ素子を有する液晶表示装置において、

1フレームの画像信号を $n$  ( $n$ は3以上の奇数) 対 $m$  ( $m$ は $n$ 以下の任意の数) にインターレース処理するインターレース処理手段と、

このインターレース処理された画像信号に従い、前記画素選択用のスイッチ素子を駆動して画像を表示をする画像表示手段と、

1走査線に対応する画像信号を表示した後、次の走査線に対応する画像信号を表示するまでの期間内に、前記インターレース処理手段と前記画像表示手段との間の接続を断つとともに、前記画像表示手段に対して表示以外の処理を行う映像期間外処理手段とを備えたことを特徴とする液晶表示装置。

【請求項16】前記画像表示手段に対して映像期間外に行う処理は、画質を改善するために各画素に補正信号を

印加する処理であることを特徴とする請求項15に記載の液晶表示装置。

【請求項17】前記画像表示手段に対して映像期間外に行う処理は、操作者が入力ペンで液晶パネルを指示した位置を検出するペン入力処理であることを特徴とする請求項15に記載の液晶表示装置。

【請求項18】前記液晶表示装置は液晶からなる画素をマトリックス上に配列した液晶表示装置であり、前記スイッチ素子を経由して画素に画像信号を供給する複数の信号線と、

前記スイッチ素子の導通を制御する複数のゲート線と、前記画素と対向して共通の電圧を印加するコモン電極からなることを特徴とする請求項15に記載の液晶表示装置。

【請求項19】前記液晶表示装置は、1枚のフィールド画像を奇数枚のサブフィールド画像に分割することにより、駆動周波数を下げるマルチフィールド駆動法を適用したものであることを特徴とする請求項15に記載の液晶表示装置。

【請求項20】前記画像表示手段に対して映像期間外に行う処理は、正極性の保持特性と負極性の保持特性を等しくするように、画素の部分に負極性の信号を入力する処理であることを特徴とする請求項18に記載の液晶表示装置。

【請求項21】前記画像表示手段に対して映像期間外に行う処理は、前記コモン電極に印加する共通の電圧と同等の電圧を信号線に印加する処理であることを特徴とする請求項18に記載の液晶表示装置。

【請求項22】前記画像表示手段に対して映像期間外に行う処理は、操作者がペン入力することにより、液晶の静電容量が変化することを検出する処理であることを特徴とする請求項18に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像表示期間以外の期間を拡張した液晶表示装置などの表示装置に関する。

【0002】

【従来の技術】

(1) 液晶表示装置は、薄型であるとともに低電圧駆動が可能であることから、腕時計や電卓などの表示装置としてだけでなく、ワードプロセッサやパーソナルコンピュータのディスプレイなどにも用いられるようになった。さらに、ユーザーの操作性を高めるために、液晶ディスプレイ上からペンで指示することにより入力するペン入力機能を備えた情報機器が提供されている。

【0003】しかしながら、表示画素の容量変化などの物理量を検出して指示位置を特定する方式のペン入力機能では、液晶ディスプレイ上のペンで指示された位置の検出などの処理は、映像期間以外の短いブランキング期間に実行せざるを得ない。このためペン入力処理を早い

速度で実行する必要がある、大きな消費電力を費やしていた。また、処理時間が短いために、位置検出精度や操作性の点で十分な性能の処理を行うことができなかった。

【0004】(2) 一方、近年、液晶ディスプレイは高解像度化(多画素化)が進み、駆動周波数が高速化してきている。このような状況の中、駆動ICを低電圧化して高速信号に対応させることを目的として、コモン電極を画像の極性と反対に振るコモン反転駆動(例えば特開昭56-124928に開示された方式)や電源電圧を画像の極性に同期してシフトする電源レベルシフト駆動(例えば低電圧駆動、1993年テレビジョン学会年次大会講演予稿集、pp37-38、1993に開示された方式)が提案されている。しかし、コモン反転駆動は、大容量のコモンを水平駆動周期(15から30マイクロ秒)で駆動しなければならないため、消費電力が増大する。また、電源レベルシフト駆動は、大容量の電源容量を駆動しなければならないため、強力な駆動回路が新たに必要になる。またこれはドット反転など高速に電源を駆動しなければならない駆動には適用が難しく、現在のところ信号線反転駆動に限って行われている。信号線反転駆動は、大画面化したときにコモンの抵抗が増大するために生じる横クロストークが発生しにくい特徴を持つが、TFTのリークによる縦クロストークは発生しやすいため、TFT特性に対する要求仕様が厳しくなる。

【0005】さらに、このような問題点を解決する方法として、電源は一定にして駆動IC内部にスイッチを設けてフィールドごと駆動する信号線を切り替える方法(例えば特開平3-51887に開示された方法)が提案されている。しかし、このような方法を用いても、信号線反転とライン反転を組み合わせることで高画質化ができるドット反転駆動を実現する場合、1ライン毎極性を反転しなければならないため消費電力が増大する。

【0006】ここで、駆動回路(モジュール回路)の消費電力がどのような要因で決まるかを検討する。ここでは、消費電力は、直流的に流れるバイアス電流による消費電力は含めないものとする。

【0007】駆動回路は基本的に、信号線駆動回路、バッファ回路、制御信号発生回路、コモン駆動回路、ゲート線駆動回路に分けられる。以下、それぞれについて詳細に述べる。

【0008】1) 信号線駆動回路

信号線駆動回路は、信号線を駆動するための駆動ICでデジタル方式とアナログ方式に分けられるが、OA画像がデジタルであることから整合性の良いデジタル方式について消費電力を検討する。

【0009】デジタル方式の駆動ICは、基本的に信号のサンプリング時間を決めるシフトレジスタ、デジタル信号をラッチするラッチ回路、デジタル信号をアナログ

5

6

信号に変換するD/A変換回路、信号線を駆動する出力バッファからなる。ここで、消費電力を決める要因は、ラッチ回路と出力バッファであるので、この2つのみ考える。

【0010】ラッチ回路の最大消費電力 $P_1$ は、画像信

$$P_1 = (C_1 + 2C_{c1}) * f_1 / 2 * V_1^2 \quad \dots (1)$$

出力バッファの最大消費電力 $P_{01}$ は、信号線容量を $C$ 、水平駆動周波数を $f_h$ 、水平の画素数を $N_h$ 、信号

$$P_{01} = N_h * C * f_h * V_1^2 / 2 \quad \dots (2)$$

ii) バッファ回路

バッファ回路は、入力デジタル信号を受けてノイズ除去や波形整形をして信号線駆動回路に安定な信号を供給する部分で、省略される場合もあるが基本的に必要であるので考慮しておく。バッファ回路の最大消費電力

$$P_b = (2C_{b,c} + C_{b,p}) * f_1 / 2 * V_b^2 \quad \dots (3)$$

iii) 制御信号発生回路

制御信号発生回路は、基本的にゲートアレイ化しており、信号により内部の周波数が異なるが主に画像のサンプリングクロック $f_1$ に関係する消費電力が重要なファクターと考えられる。ゲートアレイ全体の最大消費電力

$$P_{g1} = (2C_{g,c} + C_{g,p}) * f_1 / 2 * V_{g1}^2 \quad \dots (4)$$

iv) コモン駆動回路

コモン駆動回路は、コモン容量 $C_c$ を駆動するためのもので、コモン駆動回路の最大消費電力 $P_c$ は、コモンの駆動周波数を $f_c$ 、コモン駆動回路の電源電圧を $V_c$ で

$$P_c = C_c * f_c * V_c^2 \quad \dots (5)$$

v) ゲート線駆動回路

ゲート線駆動回路は、ゲート線の容量 $C_g$ を駆動するためのもので、ゲート線駆動回路の最大消費電力 $P_g$ は、ゲート線の駆動周波数を $f_g$ 、ゲート線駆動回路の電源

$$P_g = C_g * f_g * V_g^2 \quad \dots (6)$$

vi) 回路全体の消費電力 $P_{s11}$

以上より回路全体の消費電力 $P_{s11}$ は、以下のような

$$\begin{aligned} P_{s11} &= P_1 + P_{01} + P_b + P_{g1} + P_c + P_g \\ &= (C_1 + 2C_{c1}) * f_1 / 2 * V_1^2 + N_h * C * f_h * V_1^2 / 2 \\ &\quad + (2C_{b,c} + C_{b,p}) * f_1 / 2 * V_b^2 + (2C_{g,c} + C_{g,p}) * f_1 / 2 * V_{g1}^2 + C_c * f_c * V_c^2 + C_g * f_g * V_g^2 \end{aligned}$$

ここで、コモンは一定電圧で $N_h * C_c > C_g$ とする

$$\begin{aligned} P_{s11} &= (C_1 + 2C_{c1} + 2C_{b,c} + C_{b,p} + 2C_{g,c} + C_{g,p}) * (f_1 / 2) * V^2 + N_h * C_c * (f_h / 2) * V^2 \\ &= P_{s11} (C, f, V) \quad \dots (7) \end{aligned}$$

となり、容量 $C$ と駆動周波数 $f$ （水平周波数と画像のクロック周波数）とデジタル系の電源電圧 $V$ の関数となる。

【0018】ここで、容量 $C$ はデバイス構造、電圧 $V$ はプロセスおよび液晶のV-T特性などICおよび液晶パネル構造で決まってしまう。しかし周波数 $f$ は画像の水平走査周波数やフリッカ特性などシステム及び画質から決まってくるもので、駆動法により下げることが可能である。ただ、通常駆動周波数を下げると、TFTのオフ

\*号に関する入力等価容量を $C_1$ 、サンプリングクロックに関する入力等価容量を $C_{c1}$ 、画像のサンプリング周波数を $f_1$ 、ラッチ回路電源電圧を $V_1$ でそれぞれ表すと以下のようになる。

【0011】

\*線電圧を $V$ でそれぞれ表すと以下のようになる。

【0012】

10★ $P_b$ は、クロック $f_1$ に関する回路の入力等価容量を $C_{b,c}$ 、画像信号に関する回路の入力等価容量を $C_{b,p}$ 、バッファ回路の電源電圧を $V_b$ でそれぞれ表すと以下のようになる。

【0013】

★ $P_{g1}$ は、クロック $f_1$ に関する回路の等価内部容量を $C_{g,c}$ 、画像信号に関する回路の入力等価容量を $C_{g,p}$ 、ゲートアレイの電源電圧を $V_{g1}$ でそれぞれ表すと以下のようになる。

【0014】

◆表すと以下のようになる。なお、コモン反転の場合、 $f_c$ は水平駆動周波数 $f_1$ の半分である。

【0015】

\*電圧を $V_g$ で表すと以下のようになる。なお、ゲート線の駆動周波数 $f_g$ は、通常、水平駆動周波数 $f_1$ である。

【0016】

※る。

【0017】

リーク電流が同じでも、保持時間が長くなるため画素電位の低下が大きくなる。このためフリッカ成分は増大すると共に、フリッカ成分の周波数も下がってしまうため、フリッカがより視覚され易くなり、大幅な画素劣化を引き起こす。

【0019】そこで、1枚のフィールド画像を奇数枚のサブフィールドに分割することにより、駆動周波数を下げるマルチフィールド駆動法（以下、MF駆動法と呼ぶ）が例えば特願平2-69706に開示されている。

このMF駆動法の概念図を、図23(a)～(f)に示す。

【0020】まず、第mフレーム表示時の駆動法を説明する。最初の $T_r/3$ 期間には、図23(a)に示すように1、4、…、N、N+3、N+6、…ラインのゲート線を駆動すると共に、奇数番目の信号線には正極性、偶数番目の信号線には負極性の画像信号というように信号線反転駆動を行う。つぎの $T_r/3$ 期間には(b)に示すように2、5、…、N+1、N+4、N+7、…ライン、つぎの $T_r/3$ 期間には(c)に示すように3、6、…、N+2、N+5、N+8、…ラインを駆動する。次の $T_r/3$ 期間には駆動するラインは、元に戻って、(d)に示すように1、4、…、N、N+3、N+6、…ラインであるが、(a)とは極性が逆の駆動を行うことで液晶の交流駆動を実現している。その後の(e)、(f)は、(b)、(c)をそれぞれ逆極性にしただけであるので説明は省略する。

【0021】以上のような駆動を行った場合、フリッカ成分がどの様になるかを解析する。 \*

$$i(t) = V_S + V_N - \frac{2V_N t}{\pi} \quad (0 \leq t < \pi)$$

$$V_S + V_P - \frac{2V_P t}{\pi} \quad (-\pi \leq t < 0)$$

【0026】実際の透過率変化は、周波数軸上で液晶の応答特性を上記変動と掛け合わせる必要があるが応答特性は電位レベルに依存する複雑な特性であるので、ここでは画素の電位変動のみを輝度変化として解析する。 ※30

$$i(t) = V_S + \frac{1}{\pi} \sum_{k=1}^{\infty} \frac{2}{k^2} (1 - (-1)^k) \times (V_N - V_P) \sin kt + \frac{1}{k} (1 + (-1)^k) \times (V_N + V_P) \cos kt \quad \dots (8)$$

【0029】ここで、フリッカとして重要な基本波成分(30Hz)のみ考えると、 $k=1$ として以下のようになる。 ★

$$F_{30} = \frac{4}{\pi^2} (V_N - V_P) \quad \dots (10)$$

【0031】すなわち、各画素はフリッカ成分として図24(b)に示すような $F_{30}$ なるスペクトルを持っていることになる。このフリッカ成分を除去する方法として、次の2つの方法が考えられる。

【0032】方法1) 輝度変化 $i(t)$ 自身を高周波にする。

方法2) 隣接している画素により補償する。

【0033】通常、画像信号が高速化することから方法1はあまり使われていない。ライン反転(コモン反転) 50

\*【0022】まず、フリッカの原因としては、オン電流不足、TFTの突き抜け電圧、TFTのOFF電流が考えられる。オン電流不足やTFTの突き抜け電圧については、アレイ構造や突き抜け補正駆動によって対応可能であるが、TFTのOFF電流については、MF駆動が原理的にTFTの保持時間を通常駆動より長くするのであることを考えると、TFTの光リークなどを含めたOFF特性が完全でない限り、この特性が通常より大きくフリッカ特性に影響を与えと考えられる。

10 【0023】そこで、TFTのOFF電流の要因を中心に解析する。

【0024】まず、画素の電位変動波形を、図24(a)に示すように近似する。つまり、正極性で駆動している時は保持がよいので $V_r$ の変動、負極性で駆動しているときは保持が悪いので $V_r$  ( $> V_r$ ) だけ1フィールドの間に電位変化を生じているとする。この時、電位 $i(t)$ は、以下ようになる。

【0025】

【数1】

※【0027】これをフーリエ展開すると、以下のようになる。

【0028】

【数2】

★【0030】

【数3】

や信号線反転は方法2において2画素で補償するものである。次に、後者の方法2の場合について詳しく説明する。

【0034】まず、どの方式でも隣接画素は逆極性の信号が入力されているので、2画素の平均輝度 $i_r(t)$ は次式で表される。

【0035】

【数4】

9

10

$$I_a(t) = I(t) + I\left(t - \frac{\pi}{\omega_0}\right) \quad \dots (11)$$

$$\omega_0 = \pi / T_f$$

【0036】これを、フーリエ変換して、

$$I_a(\omega) = I(\omega) (1 - \exp(j\omega\pi/\omega_0)) \quad \dots (12)$$

となる。したがって、 $I_a(\omega_0) = 0$  となり、フリッカ成分を完全に除去することができる。 $I_a(\omega)$  は、

【0037】以上は補償画素が2画素の場合であるが、【数5】

補償画素をN画素まで広げたMF駆動法では、この時隣\*10

$$I_a(t) = \sum_{n=0}^{N-1} I\left(t + \frac{n}{N} \times \frac{2\pi}{\omega_0}\right) \quad \dots (13)$$

$$I_a(\omega) = \sum_{n=0}^{N-1} I(\omega) \exp(j \frac{n}{N} \omega 2\pi / \omega_0) \quad \dots (14)$$

【0038】である。

【0039】3画素でフリッカ成分を補償する場合を例に取って、以下説明する。図25に式(8)から求められる3画素それぞれの透過率変化 $I(t)$ を実線、一点鎖線、点線で示し、この時の全体の透過率変化を $I_a(t)$ として示した。また、周波数スペクトルを図26に示す。図26から明らかなように、互いに補償される画素の透過率変化 $I(t)$ が同じであればもとも $2T_f$  ( $T_f$ : フィールド周期=1/60秒)であったフリッカ成分を、3画素補償により $2T_f/3$ 、つまり1/3周期である1/90秒にすることができる。したがって※

$$P_{MF} = (C_1 + 2C_{Cx} + 2C_{Cy} + C_{b0} + 2C_{sxc} + C_{sxp}) \times \{f_s / 2(2N+1)\} * V^2 + N_b * C_s * \{f_s / 2(2N+1)\} * V^2 = P_{111} / (2N+1) \quad \dots (15)$$

が得られる。

【0041】この式から明らかなように、モジュール回路の駆動周波数に依存する消費電力を $1/(2N+1)$ に減少させることができるため、大幅に消費電力を低減することができる。

【0042】MF駆動の解析結果を基に、実際のパネルを用いてフリッカの低減効果の実験を行った。今回は基礎実験ということで $N=1$ つまりサブフィールド数3で、

- 1) 通常駆動(60Hz)
- 2) 単に駆動周波数を下げた場合(20Hz駆動)
- 3) MF駆動( $N=1$ )

について、透過率50%のグレイレベルを表示し、フォトディテクターで透過率の時間変化を検出する。検出された時間変化はFFTアナライザーで周波数成分に変換され、基本波である20、40、60Hz成分がどの程

※ってフリッカとして視覚されなくなる。これは、周波数スペクトルでみれば、式(13)から明らかなように各画素のスペクトルの位相がそれぞれ120度ずれているためにベクトル的に加算されその成分がなくなることを意味している。この原理を利用すると、3、5、7、...、 $2N+1$ 、...画素つまり、奇数画素で補償することも同様に可能であり、補償できる画素数が多いほど駆動周波数を小さくできるため、消費電力を低減できる。

【0040】一般に、MF駆動の消費電力 $P_{MF}$ は、消費電力を決める関係式(7)より、

度あるかを解析、評価する。

【0043】通常駆動、20Hz駆動、MF駆動( $N=1$ )について、フリッカ成分の平均輝度に対する相対レベルを測定した結果を表1に示す。表1より、以下のことがわかった。

【0044】1) 20Hzに駆動周波数を落とした場合はフリッカ成分として20、40、60、80...が予想通り生じていること。

2) MF駆動により予想通り20Hz成分が消え、3倍の60Hz成分に変換されていること。

3) 60Hz成分についても、通常駆動とMF駆動が同レベルであり、フリッカによる画質劣化は殆ど通常駆動と同じであること。

【0045】

【表1】

表 1 各駆動法におけるフリッカの周波数成分

駆動法	フリッカの周波数成分 (dB)			
	20Hz	40Hz	60Hz	80Hz
MF駆動	53		41	
信号線反転	51		39	
20Hz駆動	26	34	41	45

←1画素毎の  
フリッカ相当

【0046】以上示したように、MF駆動法は、面フリッカについては非常に有効な方法であるが、保持時間が大幅に大きくなるため、表1に示したように、1画素毎（通常は1ライン毎）のフリッカ成分が大きくなる。そのため、フィールド毎に生じる横縞が視認され静止画の画質劣化を引き起こす。

【0047】さらに、静止画においても、画像に相関がないような高精細な画像においては、各フリッカ成分が補償されなくなり、そのフリッカ成分のうち、正極性と負極性の差によって生じる新たなキャリアが空間周波数軸上に発生し、それによって折り返し歪が生じることが実験より明らかになった。この折り返し歪は、静止したものではなく動くものであるため、非常に視覚され易く、大幅に画質劣化を生じさせている。

【0048】以上のように、従来の液晶表示装置では、消費電力が増大したり、横クロストークや縦クロストークなどにより画質が劣化するという問題があった。また、消費電力を低減できるMF駆動法では、静止画では保持時間が長いためにラインフリッカが増大しライン妨害となったり、高周波成分を多く含む画像においては正極性と負極性との保持特性の差によって生じるキャリアで高周波成分が折り返し歪となって、画質が大幅に劣化していた。また、通常このような劣化を補正する期間としては、画像の表示されていない期間であるブランキング期間（帰線期間）を用いていたが、この期間は映像期間の10%程度の短いものであるため、補正の効果が不十分であった。

【0049】

【発明が解決しようとする課題】以上説明したように、ペン入力や画質改善のための補正処理などの表示画素や駆動回路等を利用する所望の処理を行おうとすると、画像の表示されていない短い期間であるブランキング期間（帰線期間）を用いたり、画素表示期間を短くする必要がある。また、駆動周波数が大きくなったり、消費電力を多く費やしたり、十分な内容の処理ができないなどの問題点があった。

【0050】本発明は、上記事情に鑑みなされたものであり、現実の映像期間以外の期間を帰線期間以上に拡張し、この期間に所望の処理を行うことのできる表示装置

および液晶表示装置を提供することを目的とする。

【0051】

【課題を解決するための手段】本発明（請求項1）は、画素選択用のスイッチ素子を有する表示装置において、1フレームの画像信号を $n$ （ $n$ は3以上の奇数）対 $m$ （ $m$ は $n$ 以下の任意の数）にインターレース処理するインターレース処理手段と、このインターレース処理された画像信号に従い、前記画素選択用のスイッチ素子を駆動して画像を表示をする画像表示手段と、複数の画素に対応する画像信号を表示した後、次の画素に対応する画像信号を表示するまでの期間内に、前記インターレース処理手段と前記画像表示手段との間の接続を断つとともに、前記画像表示手段に対して表示以外の処理を行う映像期間外処理手段とを備えたことを特徴とする。

【0052】好ましくは、前記画像表示手段に対して映像期間外に行う処理は、画質を改善するために各画素に補正信号を印加する処理であることを特徴とする。

【0053】また、好ましくは、前記画像表示手段に対して映像期間外に行う処理は、操作者が入力ペンで液晶パネルを指示した位置を検出するペン入力処理であることを特徴とする。

【0054】また、好ましくは、前記画像表示手段に対して映像期間外に行う処理は、前記画像選択用スイッチ素子をオフしたままで、前記画像表示手段に供給される電源と前期画像表示手段内の回路の一部または全部との接続を切る電力制御手段によるものであることを特徴とする。

【0055】また、好ましくは、本発明（請求項5）は、前記インターレース処理された画像信号を $n/m$ 倍速変換する倍速変換手段と、この $n/m$ 倍速変換された画像信号に従い、前記画素選択用のスイッチ素子を駆動して画像を表示をする画像表示手段と、1フレームの画像信号を表示した後、次の画像信号を表示するまでの期間内に、前記倍速変換手段と前記画像表示手段との間の接続を断つとともに、前記画像表示手段に対して所望の処理を行う映像期間外処理手段とをさらに備えたことを特徴とする。

【0056】また、好ましくは、前記電力制御手段により、前記電源と前記画像表示手段との接続が切れている



期間に、前記画像表示手段の出力をハイインピーダンスにすることを特徴とする。

【0057】また、好ましくは、前記画像表示手段に供給される電源との接続を切る前記画像表示手段内の回路は信号線駆動回路に含まれる階調発生回路であることを特徴とする。

【0058】また、好ましくは、前記画像表示手段に供給される電源との接続を切る前記画像表示手段内の回路は信号線ドライバーに用いられるバイアス電流回路であることを特徴とする。

【0059】また、好ましくは、前記表示装置は、液晶からなる画素をマトリックス上に配列した液晶表示装置であり、一画素ごとに画素選択用に設けたスイッチ素子を経由して画素に画像信号を供給する複数の信号線と、前記スイッチ素子の導通を制御する複数のゲート線と、前記画素と対向して共通の電圧を印加するコモン電極からなることを特徴とする。

【0060】また、好ましくは、前記表示装置は、蛍光体からなる画素をマトリックス上に配列したプラズマ表示装置であり、前記画素と組み合わせで電圧を印加される複数のアノード電極および複数のカソード電極とからなり、前記スイッチ素子を経由して、前記複数のアノード電極とカソード電極の一方に画像信号が供給され、他方に走査信号が供給されることを特徴とする。

【0061】また、好ましくは、前記表示装置は、1枚のフィールド画像を奇数枚のサブフィールド画像に分割することにより、駆動周波数を下げるマルチフィールド駆動法を適用したものであることを特徴とする。

【0062】また、好ましくは、前記画像表示手段に対して映像期間外に行う処理は、正極性の保持特性と負極性の保持特性を等しくするように、画素の部分に負極性の信号を入力する処理であることを特徴とする。

【0063】また、好ましくは、前記画像表示手段に対して映像期間外に行う処理は、前記コモン電極に印加する共通の電圧と同等の電圧を信号線に印加する処理であることを特徴とする。

【0064】また、好ましくは、前記画像表示手段に対して映像期間外に行う処理は、操作者がペン入力することにより、液晶の静電容量が変化することを検出する処理であることを特徴とする。

【0065】また、本発明（請求項15）は、1画素毎に画素選択用のスイッチ素子を有する液晶表示装置において、1フレームの画像信号を $n$ （ $n$ は3以上の奇数）対 $m$ （ $m$ は $n$ 以下の任意の数）にインターレース処理するインターレース処理手段と、このインターレース処理された画像信号に従い、前記画素選択用のスイッチ素子を駆動して画像を表示する画像表示手段と、1走査線に対応する画像信号を表示した後、次の走査線に対応する画像信号を表示するまでの期間内に、前記インターレース処理手段と前記画像表示手段との間の接続を断つと

ともに、前記画像表示手段に対して表示以外の処理を行う映像期間外処理手段とを備えたことを特徴とする。

【0066】好ましくは、前記画像表示手段に対して映像期間外に行う処理は、画質を改善するために各画素に補正信号を印加する処理であることを特徴とする。

【0067】また、好ましくは、前記画像表示手段に対して映像期間外に行う処理は、操作者が入力ペンで液晶パネルを指示した位置を検出するペン入力処理であることを特徴とする。

10 【0068】また、好ましくは、前記液晶表示装置は液晶からなる画素をマトリックス上に配列した液晶表示装置であり、前記スイッチ素子を経由して画素に画像信号を供給する複数の信号線と、前記スイッチ素子の導通を制御する複数のゲート線と、前記画素と対向して共通の電圧を印加するコモン電極からなることを特徴とする。

【0069】また、好ましくは、前記液晶表示装置は、1枚のフィールド画像を奇数枚のサブフィールド画像に分割することにより、駆動周波数を下げるマルチフィールド駆動法を適用したものであることを特徴とする。

20 【0070】また、好ましくは、前記画像表示手段に対して映像期間外に行う処理は、正極性の保持特性と負極性の保持特性を等しくするように、画素の部分に負極性の信号を入力する処理であることを特徴とする。

【0071】また、好ましくは、前記画像表示手段に対して映像期間外に行う処理は、前記コモン電極に印加する共通の電圧と同等の電圧を信号線に印加する処理であることを特徴とする。

【0072】また、好ましくは、前記画像表示手段に対して映像期間外に行う処理は、操作者がペン入力することにより、液晶の静電容量が変化することを検出する処理であることを特徴とする。

【0073】

【作用】本発明（請求項1、15）では、インターレース処理手段が1フレームの画像信号を $n$ （ $n$ は3以上の奇数）対 $m$ （ $m$ は $n$ 以下の任意の数）にインターレースする結果、画像信号を表示するのに要する期間が短縮され、複数の画素（あるいは1走査線）に対応する画像信号を表示した後、次の画素（あるいは走査線）に対応する画像信号を表示するまでの映像期間以外の期間は従来に比較して非常に長く拡張される。

40 【0074】従って、映像期間外処理手段は、この拡張された映像期間以外の自由に使える期間を利用し、この期間内に、前記インターレース処理手段と前記画像表示手段との間の接続を断ったうえで、前記画像表示手段に対して所望の処理（例えば、操作者が入力ペンで液晶パネルを指示することにより発生した容量などの物理量の変化の検出）を行うことができる。

【0075】また、本発明（請求項5）では、インターレース処理手段が1フレームの画像信号を $n$ （ $n$ は3以上の奇数）対 $m$ （ $m$ は $n$ 以下の任意の数）にインターレ

ースし、次に、倍速変換手段がこのインターレース処理された画像信号を $n$ 倍速変換する結果、画像信号を表示するのに要する期間が短縮され、1フレームの画像信号を表示した後、次のフレームの画像信号を表示するまでの映像期間以外の期間は従来に比較して非常に長く拡張される。

【0076】従って、映像期間外処理手段は、この拡張された映像期間以外の自由に使える期間を利用し、この期間内に、前記倍速変換手段と前記画像表示手段との間の接続を断ったうえで、前記画像表示手段に対して所望の処理（例えば、操作者が入力ペンで液晶パネルを指示することにより発生した容量などの物理量の変化の検出）を行うことができる。

【0077】ここで、映像期間外の処理としては画像劣化の補正や入力ペンの検出に限られるものでなく、この期間を利用して画素選択用のスイッチ素子をオフしたままで、回路に供給される電源をオフして消費電力の低減をはかることも実施される。

【0078】また、本発明は、TFTやTFDの液晶表示装置だけでなく、液晶自体にメモリ性を有する強誘電液晶や反誘電液晶、メモリ性を有する動作をするプラズマディスプレイ（PDP）やメモリ素子を内蔵した真空マイクロ表示装置などメモリ性を有する表示装置全般に適用できる。

【0079】また、信号線に画像信号が入力されている期間が大幅に短くなるため、クロストークやフリッカ等の画素電圧変化によって現れる現象を大幅に改善することができる。

【0080】

【実施例】以下、図面を参照しながら実施例を説明する。

【0081】（第1の実施例）本発明の第1の実施例に係る液晶表示装置について説明する。図1には、同実施例の液晶表示装置の要部構成を示す。この液晶表示装置は、 $n:1$ インターレース処理部2、 $n$ 倍速変換処理部4、切替回路6、処理回路8、信号線駆動回路10、ゲート線駆動回路12、液晶表示パネル14を備えている。 $n$ の値は、2以上の任意の整数であり、本実施例では $n=3$ とした場合の構成について説明する。

【0082】また、本実施例の液晶表示装置は、1枚のフィールド画像を奇数枚のサブフィールドに分割することにより、駆動周波数を下げるマルチフィールド駆動法を適用したものであるが、このマルチフィールド駆動法は良く知られているので、その詳細な説明は省略する。

【0083】さらに、処理回路8によって行われる処理内容は、どのような内容のものであっても良いが、本実施例では従来技術で問題となっていた表示画像の劣化を改善するための補正処理を行う場合を例として説明する。

【0084】上記構成において、まず、マルチフィール

ド駆動法を適用した公知の回路によって、1フレーム分の画像信号入力S0が3:1インターレース処理部2に与えられる。なお、図2中において、P1は1, 4, ...,  $3m-2$ , ...ラインのゲート線のいずれかに対応する信号部分、P2は2, 5, ...,  $3m-1$ , ...ラインのゲート線のいずれかに対応する信号部分、P3は3, 6, ...,  $3m$ , ...ラインのゲート線のいずれかに対応する信号部分を表すものとする。

【0085】この3:1インターレース処理部2では、1枚のフィールドに対応する入力画像信号S0ごとに、3:1インターレース処理を施し、駆動周波数を $1/3$ に落とした信号S1を得る。その際、図2のように、最初の1枚のフィールドに対応する入力画像信号S0からはP1に該当する信号部分を抽出し、次のフィールドに対応する入力画像信号S0からはP2に該当する信号部分を抽出し、その次の1枚のフィールドに対応する入力画像信号S0からはP3に該当する信号部分を抽出し、以上を順次繰り返す。

【0086】次に、3倍速変換処理部4によって、信号S1を3倍速変換し、信号S2を得る。3倍速変換処理部4は、例えばフィールドメモリを用いて構成することができる。この場合、フレーム容量の $1/3$ のメモリ容量で可能である。

【0087】この信号S2を、切替信号Cによって制御される切替回路6と公知の技術を用いて構成した信号線駆動回路10および公知の技術を用いて構成したゲート線駆動回路12を用いて、P1~P3の画像表示位置に従って3ライン毎に、液晶表示パネル14の該当する画素に書き込む。

【0088】このようにすれば、1枚のフィールドの画像信号が画素に書き込まれた後、次のフィールドの画像信号が信号が書き込まれるまで、図2のように画像を表示しない未使用の期間Fが生じる。

【0089】このように、本実施例によれば、映像期間以外の期間を帰線期間に比較して極めて長く拡張することができる。そして、この期間を用いて、所望の処理を行うことができる。

【0090】次に、上記の期間Fを用いて行う補正処理について説明する。ここでは、処理回路8は、補正信号を発生する機能を有する補正信号発生回路であるものとする。

【0091】この補正処理では、正極性の保持特性と負極性の保持特性を等しくするように、画素の部分に負極性の信号S3を入力する。つまり、正極性の画素は保持特性が良いので、信号線電圧としては負極性でも問題はないが、負極性の画素は保持特性が悪いので、なるべく同じ極性の電圧であることが保持特性上望まれる。このように正極性と負極性の保持特性を合わせるのは、この差で通常はフリッカが発生するからだけではなく、従来例で説明したような低消費電力駆動（MF駆動）を行う

場合に、高周波成分を多く含む様な画像が表示されると、折り返し歪を生じさせるキャリアが生じるが、この主な発生要因が極性による保持特性の差であることに起因する。つまり、折り返し歪を抑えるためには、保持特性自体を良くするのではなく、保持特性の極性依存性をなくすることがもっとも効果的である。そこで、処理回路8で図2の信号S3の様な負極性の一定電圧を発生させ、信号S2および信号S3を入力とする切換回路6を制御して信号S4を得る。

【0092】この負極性のレベルについては、クロストークが生じ易い10%レベルの画像信号や透過率が急峻に変化する50%レベルの信号に対してクロストークが少ない様に決めるのが望ましい。また、この実施例のように、補正電圧が一定値の場合は、高速で画像信号を書き込む分の消費電力の増大を補正部分で減らすことができる。つまり、補正電圧を1度信号線に書き込んで信号線の容量で保持するか、もしくは1水平周波数以上のある周期で信号線ドライバを駆動して信号線に新たに補正電圧を書き込めば良いので、補正している間はほぼ信号処理系の動作(クロック)を止めることができることになり、平均としては補正を行なわない場合の3:1インターレースによる消費電力と同等になり、低消費電力化が可能となる。

【0093】また、クロストークの低減に対しては、クロストークの生じる電圧が信号線にかかっている期間が短ければ短いほど良い。つまり、本実施例の駆動方法は、画像信号が信号線にかかっている期間は従来の1/3であるのでクロストーク量も1/3程度になる。このようにクロストークが減少すると、画素容量を減少させることができ、その分、保持容量による開口率低下を改善でき、開口率を向上させることができる。

【0094】この例では、入力画像信号を3:1にインターレース化した、通常のノンインターレース信号でもN:1のインターレース信号でも、N:M(M<N)でも、本発明の要旨を逸脱しない範囲で変えることができる。

【0095】(第2の実施例)次に、本発明の第2の実施例に係る液晶表示装置について説明する。本実施例の液晶表示装置は、図3に示すように、第1の実施例で説明した図1の液晶表示装置の構成からn倍速変換回路4を削除し、n:1インターレース処理部2の出力を倍速変換せずに切替回路6に与える構成を有している。すなわち、本実施例の液晶表示装置は、n:1インターレース処理部2、切替回路6、処理回路8、信号線駆動回路10、ゲート線駆動回路12、液晶表示パネル14を備えている。nの値は、2以上の任意の整数であり、本実施例ではn=3とした場合の構成について説明する。

【0096】また、本実施例の液晶表示装置は、1枚のフィールド画像を奇数枚のサブフィールドに分割することにより、駆動周波数を下げるマルチフィールド駆動法

を適用したものであるが、このマルチフィールド駆動法は良く知られているので、詳細な説明は省略する。

【0097】さらに、処理回路8によって行われる処理内容は、どのような内容のものであっても良い。

【0098】上記構成において、まず、マルチフィールド駆動法を適用した公知の回路によって、1フレーム分の画像信号入力S0が3:1インターレース処理部2に与えられる。なお、図4中において、P1は1, 4, ..., 3m-2, ...ラインのゲート線のいずれかに対応する信号部分、P2は2, 5, ..., 3m-1, ...ラインのゲート線のいずれかに対応する信号部分、P3は3, 6, ..., 3m, ...ラインのゲート線のいずれかに対応する信号部分を表すものとする。

【0099】この3:1インターレース処理部2では、1枚のフィールドに対応する入力画像信号S0ごとに、3:1インターレース処理を施し、駆動周波数を1/3に落とした信号S1を得る。その際、図3のように、最初の1枚のフィールドに対応する入力画像信号S0からはP1に該当する信号部分を抽出し、次のフィールドに対応する入力画像信号S0からはP2に該当する信号部分を抽出し、その次の1枚のフィールドに対応する入力画像信号S0からはP3に該当する信号部分を抽出し、以上を順次繰り返す。

【0100】この信号S1を、切替信号Cによって制御される切替回路6と公知の技術を用いて構成した信号線駆動回路10および公知の技術を用いて構成したゲート線駆動回路12を用いて、P1~P3の画像表示位置に従って3ライン毎に、液晶表示パネル14の該当する画素に書き込む。

【0101】このようにすれば、1ラインの画像信号が画素に書き込まれた後、次のラインの画像信号が信号が書き込まれるまで、通常の水平部ブランキング期間より大幅に長い未使用の期間F'が生じる。この期間を用いて、所望の処理を行うことができる。

【0102】例えば、上記未使用の期間F'を用いて、第1の実施例と同様の補正処理を行う場合、図3のような信号S4が信号線駆動回路4に与えられる。

【0103】この例では、入力信号を3:1にインターレース化した、通常のノンインターレース信号でもN:1のインターレース信号でも、N:M(M<N)でも、本発明の要旨を逸脱しない範囲で変えることができる。

【0104】(第3の実施例)次に、本発明の第3の実施例に係る液晶表示装置について説明する。図5に、第3の実施例を示す。本実施例は、第1の実施例および第2の実施例において所望の処理として前述したような補正処理を行う場合の補正信号S3の電圧として、コモン電極24に印加するコモン電圧Vcomと同等の電圧を信号線22, 23に印加する。

【0105】これにより、画素20-信号線22, 23

19

間の横電界によるディスクリネーション (discrimination) が減少し、現在ディスクリネーションをブラックマトリックスによって隠している部分を少なくすることができ、開口率を向上させることができる。

【0106】ここで、第1～第3の実施例において、前述したように処理回路8として補正信号を発生する機能を有する補正信号発生回路を用いて補正処理を行った場合は、TF TやTF Dなどの画素スイッチの保持時間が長くなるような場合のフリッカの増大を抑えることができ、また、正極性と負極性の保持特性が同じになるように補正する期間を設け、その補正期間を画像入力期間と同等かそれ以上にすることにより、正極性と負極性の画素信号差によって生じるキャリアの発生を抑え、折り返し歪を低減することができる。また、画像の違いによるクロストーク量の変化を画像入力期間を短くすることやそれと同等かそれ以上の補正期間を設けることなどにより大幅に低減することができるため、高画質な液晶表示装置を実現することができる。

【0107】なお、以上説明した第1～第3の実施例において、所望の処理として補正処理を行う場合、補正信号S3の電圧は一定レベルにしているが、補正電圧を画像に応じて変え、あるいは入力信号依存性を持たせて変化させることもできる。また、補正期間は、従来は画像信号を駆動している期間に比べて、非常に小さかったが（例えば垂直ブランキング期間）、補正効果を上げるために画像駆動時間と同等もしくはそれ以上に設定するのが望ましい。

【0108】（第4の実施例）次に、本発明の第4の実施例に係る液晶表示装置について説明する。本実施例の液晶表示装置は、第1の実施例または第2の実施例で説明した、画像表示をしない未使用の期間Fまたは期間F' 30 に行う所望の処理として、ペン入力処理を行うものである。

【0109】図6には、本実施例の液晶表示装置の要部構成を示す。この液晶表示装置は、第1の実施例の期間F 30 を利用する場合は、n:1インターレース処理部2、n倍速変換処理部4、信号線駆動回路30、ゲート線駆動回路32、液晶表示パネル34、第1の容量変位検出回路（以下、第1検出回路と言う）36、第2の容量変位検出回路（以下、第2検出回路と言う）38を用いて構成する。一方、第2の実施例の期間F' を利用する場合は、n:1インターレース処理部2、信号線駆動回路30、ゲート線駆動回路32、液晶表示パネル34、第1検出回路36、第2検出回路38を用いて構成する。

【0110】第1および第2の実施例と異なり、図6の構成では切替回路6を用いていないのは、切替回路の機能に該当する手段を信号線駆動回路30内に設けてあるからである。

【0111】また、本実施例では、液晶表示パネル34上のペン指示の位置を液晶表示パネル34に関する物理

20

量の変位として検出する方式を用いているため、第1および第2の実施例の処理回路8の代りに検出回路36、38を利用している。なお、上記期間Fまたは期間F' 30 において処理回路8および切替回路6を用いて液晶表示パネル34に信号を与え、この信号をペンで検出する方式を適用することも可能である。

【0112】ここで、図7には、信号線駆動回路30、ゲート線駆動回路32、液晶表示パネル34、第1検出回路36、第2検出回路38のより詳細な構成例を示す。信号線駆動回路30はシフトレジスタ38、サンプリング・スイッチ素子42、バッファ40、コンデンサ41およびスイッチ39からなり、ゲート線駆動回路32はバッファ43およびスイッチ43からなり、同様の構成を有する第1検出回路36および第2検出回路38は差動増幅器50、コンデンサ51、スイッチ素子52およびシフトレジスタ53からなる。

【0113】まず、上記構成において、第1の実施例または第2の実施例で説明したように、n:1インターレース処理部2、n倍速変換処理部4および切替回路6によって、またはn:1インターレース処理部2および切替回路6によって、画像表示をしない未使用の期間Fまたは期間F' が設けられる。この場合の動作は、第1の実施例および第2の実施例の説明から明らかであるので、その詳細な説明は省略する。

【0114】次に、この期間Fまたは期間F' を利用してペン入力処理を行う。このペン入力処理について説明する。ペン入力の原理としては、液晶の静電容量がセルギャップに依存して変化することから、ペンで押された部分（例えば図7のAと記された点線の領域）においてだけ静電容量（47、49）が変化するので、その容量変化を検出することによりペンの位置を検出するものである。具体的には液晶の誘電率を $\epsilon$ 、静電容量C、セルギャップd、面積Sとすると、

$$C = \epsilon S / d$$

となる。

【0115】図7では、液晶ディスプレイは信号線20とゲート線21が直行して配置されているので、それぞれの容量変化による電圧変化を検出する検出回路36、38を各信号線、ゲート線毎に設け、その交点からペンが入力されている位置Aを特定する。ただし、押されている1点Aのみ静電容量が変化するのではなく、その点Aを中心にしてある程度広い範囲で静電容量が変化するので、その最大値を検出する方法が好ましい。

【0116】まず、画像を表示している期間では、信号線駆動回路30のS/H用スイッチ42はパルスSTHによって駆動されるシフトレジスタ38の出力によってon-offが繰り返され、各容量41には画像信号V<sub>011</sub>のうちの指定されるサンプル位置に応じた電位が保持される。そして、スイッチ39によって一斉にあるいは画素ごとに逐次その出力が、ゲート線駆動回路32の

21

スイッチ44によって選択されたゲート線21上の該当する画素に書き込まれる。この出力の書き込みは、全ての画素に対して行われる。

【0117】そして、全ての画素への書き込みが完了した後の期間Fまたは1画素への書き込みが完了した後の期間F'に検出回路38が動作する。まず、各信号線20の寄生容量47に書き込まれた電荷は検出用の容量51に移されて電圧に変換される。そして、スイッチ52はパルスDSTHによって駆動されるシフトレジスタ53の出力によってon/offが繰り返され、各信号線20に対応する上記電圧が逐次検出され、シリアルな出力信号Vout1として出力される。

【0118】一方、ゲート線21についても、上記期間Fまたは期間F'に検出回路36が動作する。まず、各ゲート信号線21の寄生容量49に書き込まれた電荷は検出用の容量に移されて電圧に変換される。そして、信号線の場合と同様に各ゲート線21に対応する上記電圧が逐次検出され、シリアルな出力信号Vout2として出力される。

【0119】次に、実際の検出方法を説明する。押されている点における容量変化を $\Delta C$ 、押されている信号線またはゲート線の容量(例えば容量47)を $C_{sel}$ 、押されていない信号線またはゲート線の容量を $C_{n sel}$ (例えば容量54)とすると、

$$C_{sel} = C_{n sel} + \Delta C$$

となる。

【0120】従って、押される前の電圧を $V_{n sel}$ とすると、押されたときの電圧 $V_{sel}$ は電荷保存の法則により、

$$V_{sel} = V_{n sel} \cdot C_{n sel} / (C_{n sel} + \Delta C)$$

となり、電圧が変化する。この電圧変化を検出することにより、場所が特定できる。変化した電圧群の中で、最も電圧変化の大きい部分(図8中のN)がペンの縦方向の位置となる。同様に、ゲート線方向にも行うことによって点として検出される。

【0121】この例では、検出回路と駆動回路を別々に示したが、同じICの中でも、その機能があれば良い。

【0122】このように、本発明をペン入力機能に適用した場合は、従来用いていたブランキング期間より大幅に拡張された期間を利用して、低速に長い時間かけてペン入力処理をすることができる。従って、消費電力の削減を図ることができるとともに、EMI対策としても有利である。

【0123】また、処理期間を長く取れるので、指示位置を特定する処理を精密に行って指示位置検出精度の向上を図り、あるいは操作者のペン入力に対する操作性を高めた入力処理を行うことができる。

【0124】(第5の実施例) 次に、本発明の第5の実施例に係る液晶表示装置について説明する。図9および図10に第5の実施例を示す。本実施例では、ゲート回

22

路102により3:1インターレース状に、入力信号S1を制御信号S3のハイレベルの間だけ抜き出す。図10に示すように信号1、4、7、...を抜き出したあと、間引いた信号S2を信号線ドライバー10に入力してシリアル-パラレル変換を行う。これにより1水平期間だけS3より遅れた信号S4で選択されたゲート走査信号G1に同期して画素に書き込まれる。

【0125】信号が画素に書きこまれたあとは、次の信号が書きこまれるまではなにに使っても構わない。この例では、従来例で説明した信号線駆動回路に含まれる階調発生回路のバイアス電流などの静的に消費されている電力を対象とする。この電力は信号の書き込みが行われていないときでも消費されているので、この電流を減らすために、供給される電源をカットする回路を設け、書き込み信号に同期して制御する。ここで、オペアンプ120は、 $V_1$ ,  $V_2$ , ...,  $V_k$ を出力とする階調発生回路の要素回路であって、オペアンプ120の静的電流I1を制御するためにオペアンプ120の電源供給端子と電源の間にスイッチSW1を設けている。制御信号S4によりこのスイッチSW1をon/off制御することにより、階調電圧 $V_1$ から $V_k$ を作成しているオペアンプを信号線を駆動している期間(S4がハイレベルの期間)だけ動作させる。

【0126】このようにすると、静的電流I1の波形で示したように、必要なときだけ、静的電流(バイアス電流)が流れ、必要なくなると、電流が流れなくなるので動作しなくなる。この結果、静的電流も動的電流と同様に

$$I_{MF} = I_{st} / (2N + 1)$$

と $1 / (2N + 1)$ にすることができる。ここで、 $I_{MF}$ はMF駆動の静的電流、 $(2N + 1)$ はインターレース比である。

【0127】本実施例では、電源側だけに電流をカットするスイッチを設けたが、グランド側や両方につけても良い。本実施例では、入力信号を3:1のインターレース比としたが、N:1のインターレース信号でも、 $2N + 1 : 1$ の奇数インターレース信号でも良い。

【0128】図11は画素を駆動していない期間に、電源を切るだけでは、出力信号が変化して、その分消費電力が増加してしまう問題を出力にスイッチSW2を設けることにより解決している。

【0129】(第6の実施例) 次に、本発明の第6の実施例に係る液晶表示装置について説明する。MF駆動を行う場合、非選択期間中においては、階調信号を出力する必要がない。ゆえに、その期間中は階調信号用OPアンプICに電力を送る必要がないため、図12のDC/DCコンバータ200を動作させなくても良い。具体的には、非選択期間中、DC/DCコンバータ200内のインダクタンスLへの入力を制御もしくはスイッチのコントロール方式を可変式にすることによって実施する。

【0130】図13は、DC/DCコンバータの基本図である。上記方式を実施するためには、基本的に、次の2方式によって行う。

【0131】1) インダクタンスLへの入力を制御する場合は、図14に示すスイッチSW11をコントロールする。

【0132】2) インダクタンスLに蓄積したエネルギーを容量Cと負荷に送るスイッチSW12をコントロールする。

【0133】上記1の方式において、SW11をコントロールする信号（以下、OESW）は、走査線のON/OFFを制御する信号（以下、OEF）を元に作られる。具体的には、1ライン分の信号が信号線ドライバー10内に蓄積された後、次の走査期間に信号電圧を出力する構成においては、OESWはOEFより1水平期間だけシフトした信号波形になっている。また、この場合、SW11をコントロールしてインダクタンスLに印加する電圧を制御するのであるが、完全にハイインピーダンス状態にする構成と、異なる電圧間（選択時の電圧より非選択時の電圧を低くする）でスイッチングする構成とが考えられる。

【0134】上記2の方式においては、SW12のコントロール方式として、図15に示すように、(a) ON/OFFする時間のデューティ比を変える方式と、

(b) デューティ比は一定であるがスイッチ自体をON/OFFして出力電圧をコントロールする方式が考えられる。つまり、平滑された出力電圧が、選択期間では所望の電圧レベルになっており、非選択期間では低消費電力状態となる電圧レベルになっている。具体的には、選択期間中のON/OFF回数と非選択期間中のON/OFF回数が異なることによって実施する。

【0135】これらスイッチのON/OFF時間については、DC/DCコンバータの立ち上がり時間を考慮に入れて設定する。

【0136】以上の方式において、負荷への出力電圧を安定にし、負荷回路内の容量成分での電荷の充放電による消費電力の増加を防ぐため、DC/DCコンバータの出力段にスイッチもしくはそれに相当する方式を備え付ける。具体的には、図16に示すように、ダイオード、非線形抵抗もしくはスイッチ素子230と、容量Cによって制御する。このスイッチ素子230においては、SW13、SW14を同時に、もしくは、非選択期間はSW14をOFFしてからSW13をOFFし、選択期間はSW13をONしてからSW14をONする構成をとる。

【0137】この他の方法として、駆動によって異なるDC/DCコンバータを2段設けてもよい。つまり、図17に示すように、通常駆動（60Hz駆動）用のDC/DCコンバータ241とMF駆動用のDC/DCコンバータ243を2つ用意しておき、選択された駆動に合

せてその間で切り換えられる方法をとる。これによって、低消費電力駆動用に効率が最適設計されたDC/DCコンバータを選択できるようになるため、低消費電力駆動法を効果的に実施できる。

【0138】以上によって、DC/DCコンバータのOFFSET量として消費されている発信回路部での消費電力についても低減が可能となる。

【0139】（第7の実施例）次に、本発明の第7の実施例に係る液晶表示装置について説明する。第7の実施例を図18および図19に示す。この例ではD/A変換内臓の信号線ドライバーなどに用いられる出力バッファのバイアス電流を、画像の書換が行われていない期間はオフする実施例を示している。通常バイアス電流Isは20から30マイクロアンペア程度であるが、信号線分必要であり、合計するとVGAレベルで約2000倍の40から60ミリアンペアとなり、5Vとしても200mWから300mWとなってしまう。ここでは、第1の実施例と同様に、3:1のインターレース信号Vi（図9、11、12のS2に該当）が入力された場合について説明する。通常バイアス電流を減らすために、パネル容量CpをプリチャージするトランジスタTr1を設け、容量を駆動する前にVpなる電圧にチャージアップする。その後、Viが書き込まれ、3水平走査期間（3H期間）保持される。しかし、Viを容量にチャージする期間は通常1H期間で十分なため、後2H期間は無駄に電力を消費することになる。そこで、本実施例では、バイアス電流を決めているVscをこの2H期間下げ、バイアス電流をカットするとともに、プリチャージ用のTr1をonにして、出力電圧を安定させることと次に書き込まれる信号に備えたプリチャージを同時に行う。

【0140】このような動作を行うために追加する回路はほとんどなく、コストアップ及び、チップ面積の増加はほとんどない。また、本実施例により、静的消費電力を第5の実施例と同様に $1/(2N+1)$ とすることができる。また、電源オフの期間は、従来は画像信号を駆動している期間に比べて、非常に小さかったが（たとえば垂直ブランキング期間）、本発明では低消費電力効果をあげるために、画像駆動時間と同等もしくはそれ以上とできる。

【0141】（第8の実施例）次に、本発明の第8の実施例に係る液晶表示装置について説明する。本発明をプラズマディスプレイ（PDP）に適用した実施例を図20、図21、および図22に示す。

【0142】図20は、DC型PDPの構造図で、上下のガラス基板に平行して配線されたアノード電極301、302とカソード電極304があり、その間に、プラズマガスが封入されている。発光原理としては、アノード・カソード間に電圧がかかると放電が発生し、蛍光体311~313に当たって光が発生する。

【0143】図21では、表示信号を3:1にインター



25

26

レース変換し、それを、3倍速で読みだして表示信号がパネルを駆動している期間を1/3に圧縮する。表示のための駆動を行っていない期間は、カソード電極304とアノード電極301、302にそれぞれ特有の信号を入力することにより、ペン入力位置を検出可能とするものである。

【0144】基本的に表示信号は8ビットであるが、これがインターフェース回路331で各ビット分離され、各ビットごとシリアルに表示信号としてパネル339に入力される。表示信号を駆動している期間は、カソード電極には走査パルスが印加され、それに同期してアノード電極から表示信号と発光を持続させるためのサステインパルスが印加される（つまりメモリ性を持つことになる）。その結果、各画素341に表示信号が書き込まれ、サステインパルスが印加されている期間、その状態が保たれる。このサステインパルスが印加されている期間は、各ビットで異なっており、パルス幅変調を受けてその平均輝度として視覚される。一方、表示信号を駆動していない期間は、カソード電極は電圧を印加する必要はないが、ペン入力を検出する期間として用いる。つまり、カソード電極としては、その電極特有の電圧、位相、波形（シリアルなアドレス信号：走査線480本なら、9ビットのデータなど）または、それらの組み合わせ信号を入力する。たとえばこの例では、各電極に位相の異なるパルスで発光の起こらない程度の振幅の電圧を加え、この位相変化をペン（図21の334）に内蔵した検出器で、アノード電極とペンの間の寄生容量を通じて検出する。

【0145】各電極には位相の異なったパルスが印加されるので、どのカソード電極であるかはその位相を検出することにより容易に認識することができる。また、アドレス方向の検出は、アノード電極から、同様に表示信号が来ていない期間に、そのアドレス特有の電圧、位相、波形またはそれらの組み合わせ信号を入力する。これも同様に、発光が発生しない（つまり表示に影響がない）レベルであることはいうまでもない。このパルスも同様に、ペンに内蔵された検出回路により検出され、入力されているペンの位置が精度よく判別できる。このときアドレス方向か、カソード方向か区別するために、アノードに加える信号とカソードに加える信号の振幅パルス幅など何らかの特徴を信号に付加しておかなければならない。

【0146】この実施例のように、表示信号を駆動している期間と同等、またはそれ以上の期間ペン検出用の信号を印加できるので、検出用の信号が低周波になり、位相や周波数変化が検出し易くなる。また、表示とペン入力がシリアルにできるので制御や検出用の信号処理を特別な回路の付加無しに同じCPUでできる。また、検出用の信号を逆に高速にすれば、ブランキング期間に検出する方法に比べ、検出期間が長いので、1フィールド期

間に何度もペン入力を検出でき、高速にペン入力を検出することができる。通常検出速度は100回/秒と言われており、フィールド周波数より早く検出する必要があり、この方法はそれを実現できる。このとき、3ラインに1ラインは検出できない期間ができるが、通常高速で動く場合のペンの動きは滑らかであるので、周辺の画素で補間することが可能であり、できない場合でもこのラインだけブランキングで検出した後、補間することにより対応可能である。さらに、ペン入力期間だけ、インターレース走査比を大きくとれば、補間するライン数を小さくすることができ検出処理が容易になる。

【0147】この実施例では、DC型PDPの実施例を説明したが、AC型PDPでもメモリ性を有する限りそのほかの表示装置にも適用できる。

【0148】また、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0149】

【発明の効果】本発明（請求項1、15）によれば、1フレームの画像信号を $n$ （ $n$ は3以上の奇数）対 $m$ （ $m$ は $n$ 以下の任意の数）にインターレースするので、画像信号を画像表示手段にて表示するのに要する期間が短縮され、1画素に対応する画像信号を表示した後、次の画素に対応する画像信号を表示するまでの映像期間以外の期間は従来に比較して非常に長く拡張される。

【0150】この拡張された映像期間以外の自由に使える期間を利用し、この期間内に、画像信号の画像表示手段への入力を断ったうえで、前記画像表示手段に対して所望の処理を行うことができる。

【0151】また、本発明（請求項5）によれば、1フレームの画像信号を $n$ （ $n$ は3以上の奇数）対 $m$ （ $m$ は $n$ 以下の任意の数）にインターレースし、続けて $n$ 倍速変換するので、画像信号を画像表示手段にて表示するのに要する期間が短縮され、1フレームの画像信号を表示した後、次のフレームの画像信号を表示するまでの映像期間以外の期間は従来に比較して非常に長く拡張される。

【0152】この拡張された映像期間以外の自由に使える期間を利用し、この期間内に、画像信号の画像表示手段への入力を断ったうえで、画像表示手段に対して所望の処理を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の要部構成を示すブロック図

【図2】本発明の第2の実施例の駆動信号電圧及びタイミングチャートを示した図

【図3】本発明の第2の実施例の要部構成を示すブロック図

【図4】本発明の第2の実施例の駆動信号電圧及びタイミングチャートを示した図

【図5】本発明の第3の実施例を示す図

【図6】本発明の第4の実施例の概略構成を示す図

【図7】本発明の第4の実施例の要部をさらに詳しく示す図

【図8】本発明の第5の実施例における位置検出の原理を説明するための図

【図9】本発明の第5の実施例の構成を示した図

【図10】本発明の第5の実施例の駆動信号電圧及びタイミングチャートを示す図

【図11】本発明の第5の実施例の変形例の構成を示す図

【図12】本発明の第6の実施例の要部構成を示すブロック図

【図13】DC/DCコンバータの基本構成を示す図

【図14】DC/DCコンバータの制御方式を説明するための構成図

【図15】DC/DCコンバータの制御方式を説明するための波形図

【図16】DC/DCコンバータの制御方式を説明するための他の構成図

【図17】2種類のDC/DCコンバータを切換えて使う一例を示す図

【図18】本発明の第7の実施例の回路構成を示す図

【図19】本発明の第7の実施例の駆動信号を示す図

【図20】本発明の第8の実施例のDCC型PDPの構造

を示す図

【図21】本発明の第8の実施例の回路構成を示す図

【図22】本発明の第8の実施例の駆動信号電圧及びタイミングチャートを示す図

【図23】従来の駆動法の概略を説明するため表示装置画素の図

【図24】従来の駆動法におけるフリッカ波形の近似図

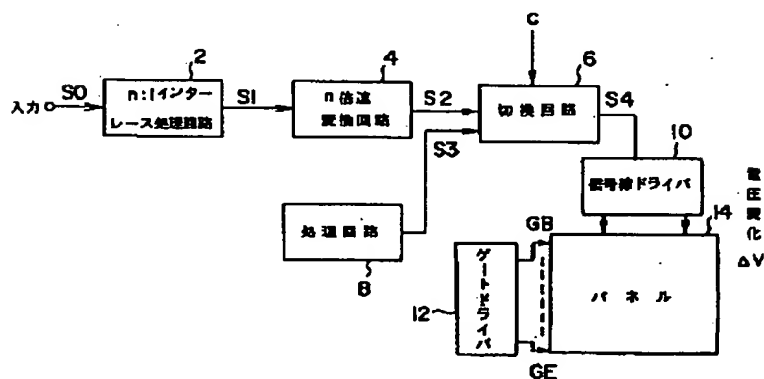
【図25】従来の駆動法におけるフリッカ補償効果を説明するための図

【図26】従来の駆動法におけるフリッカのスペクトルを示す図

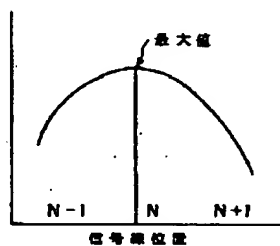
【符号の説明】

2…n:1インターレース処理部、4…n倍速変換処理部、6…切替回路、8…処理回路、10、30…信号線駆動回路、12、32…ゲート線駆動回路、14、34…液晶表示パネル、36、38、333検出回路、102…ゲート回路、103…走査間引き制御回路、104…走査遅延回路、120…オペアンプ、SW1、SW2…スイッチ、200、241、243…DC/DCコンバータ、301、302、303…アノード電極、304…カソード電極、311～313…蛍光体、331…インターフェース回路、332…カソード・ドライバ、334…ベン、335、336、337、338…アノード・ドライバ、339…パネル、340…ディスプレイ、341…画素

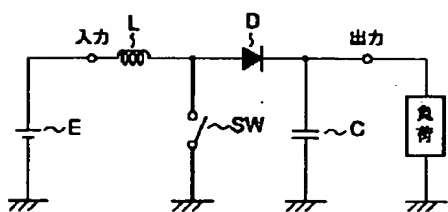
【図1】



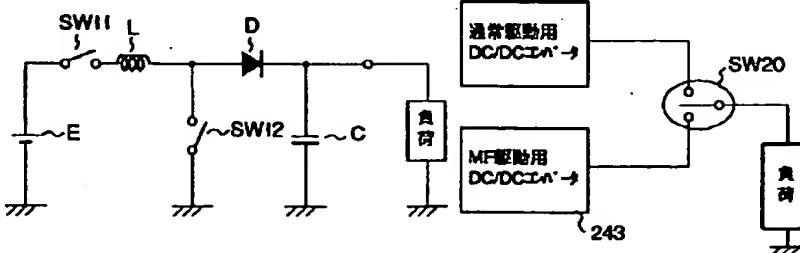
【図8】



【図13】



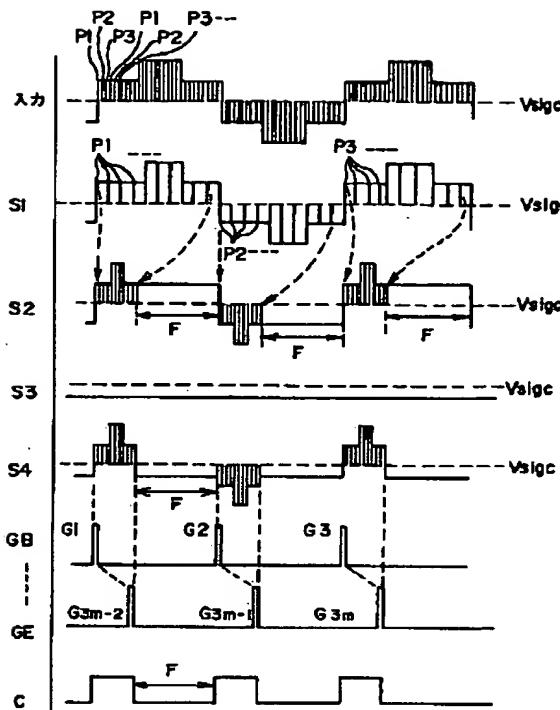
【図14】



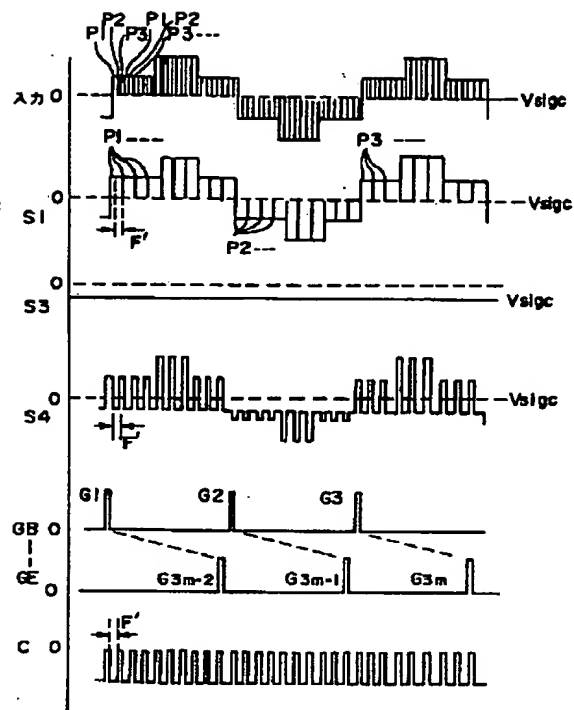
【図17】



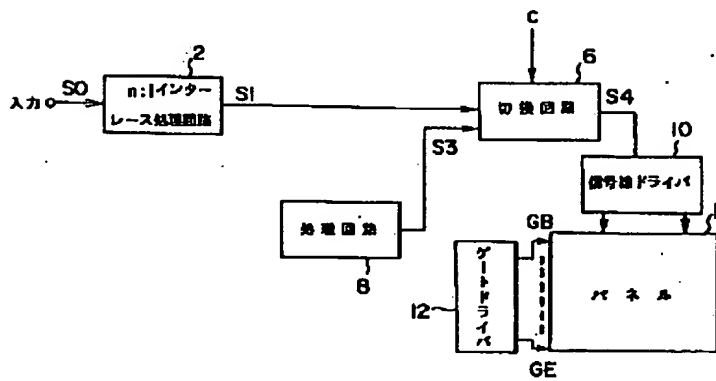
【図2】



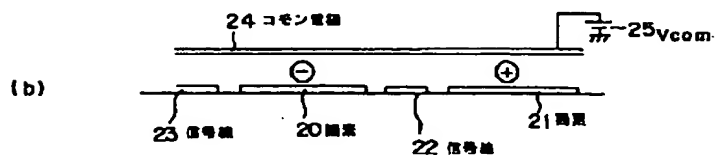
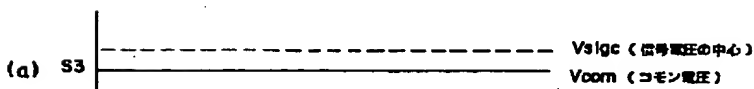
【図4】



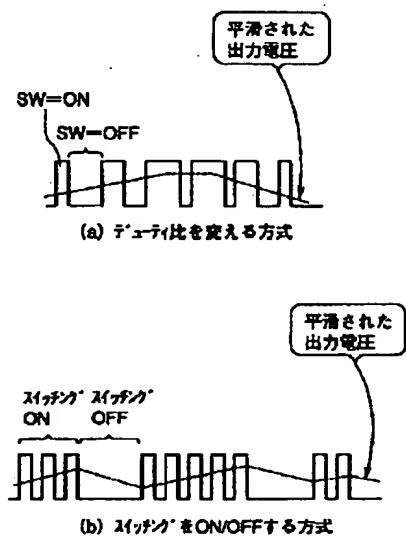
【図3】



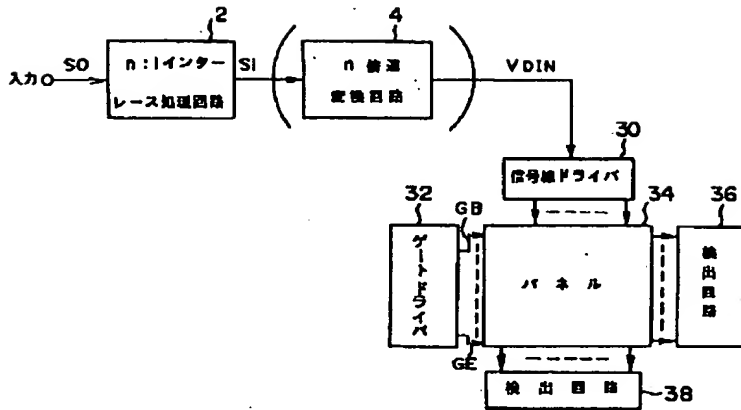
【図5】



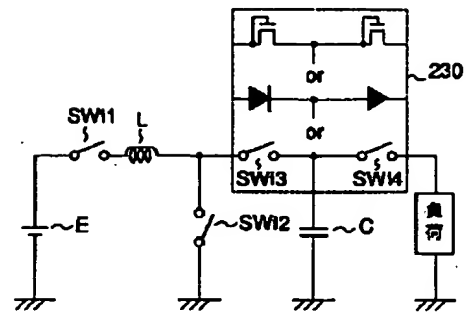
【図15】



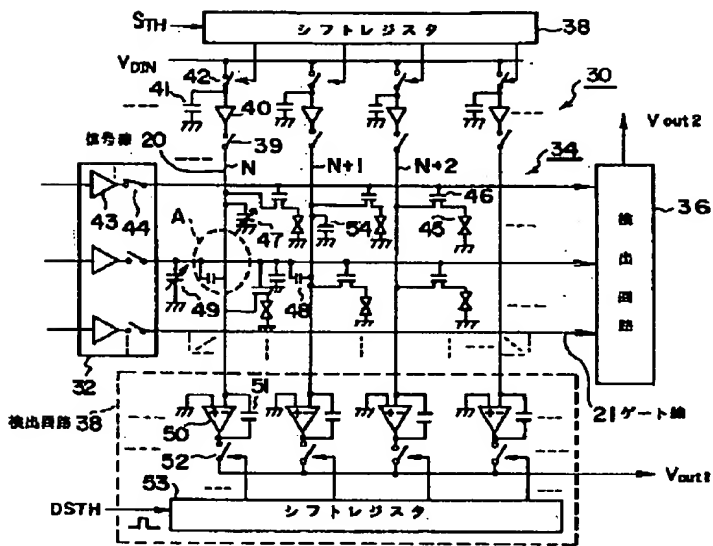
【図6】



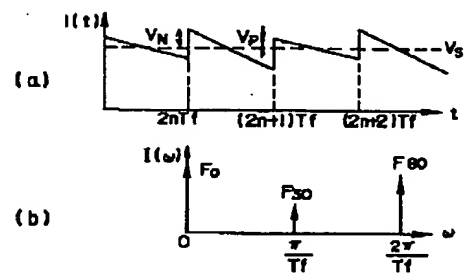
【図16】



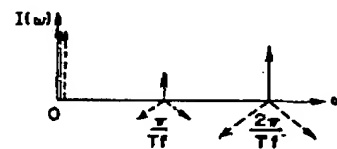
【図7】



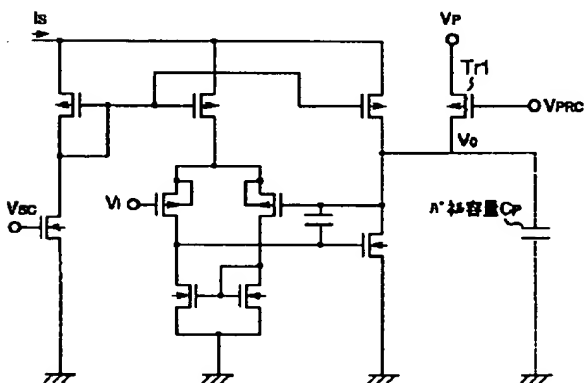
【図24】



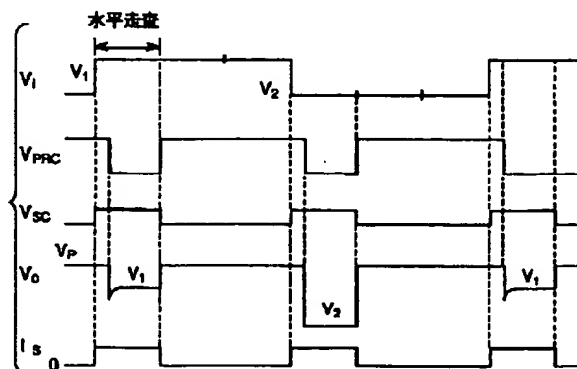
【図26】



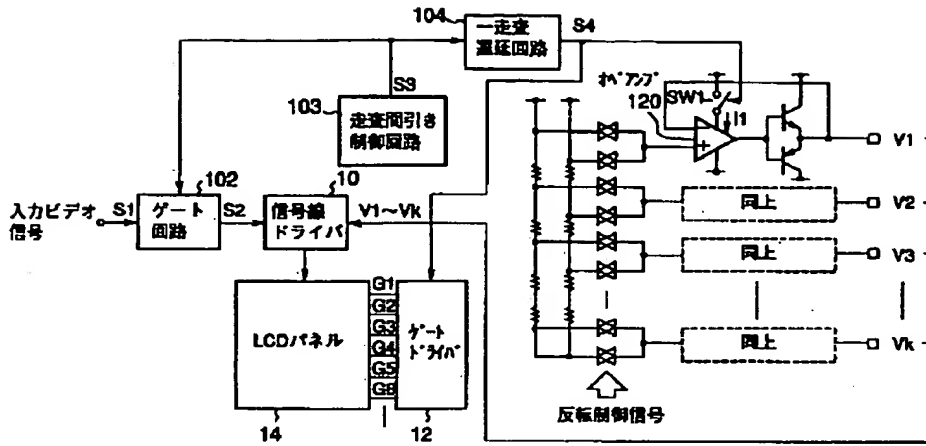
【図18】



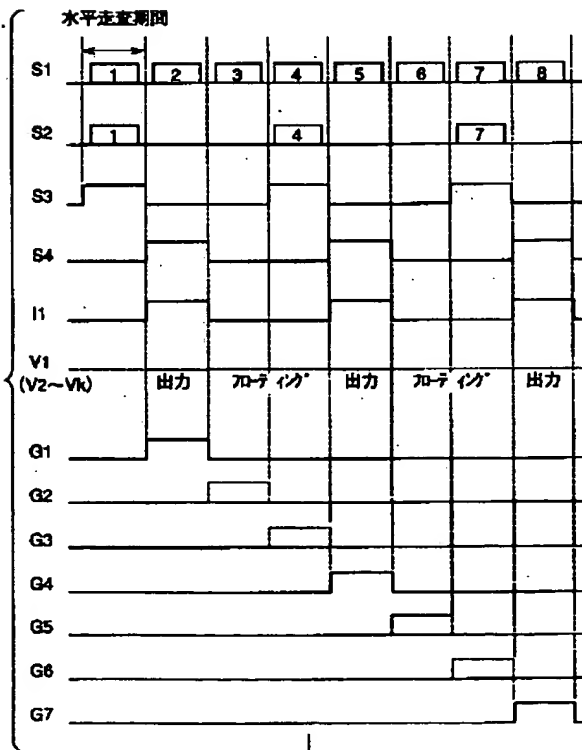
【図19】



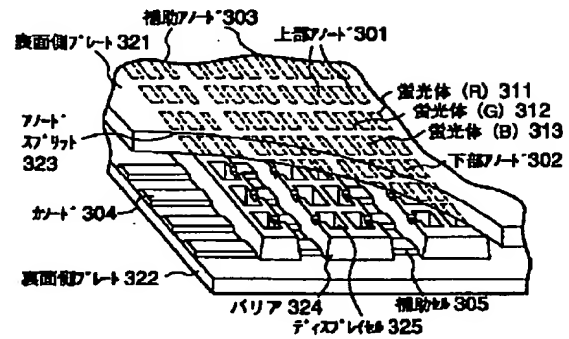
【図9】



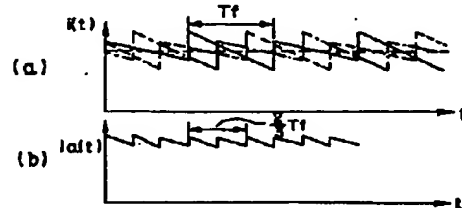
【図10】



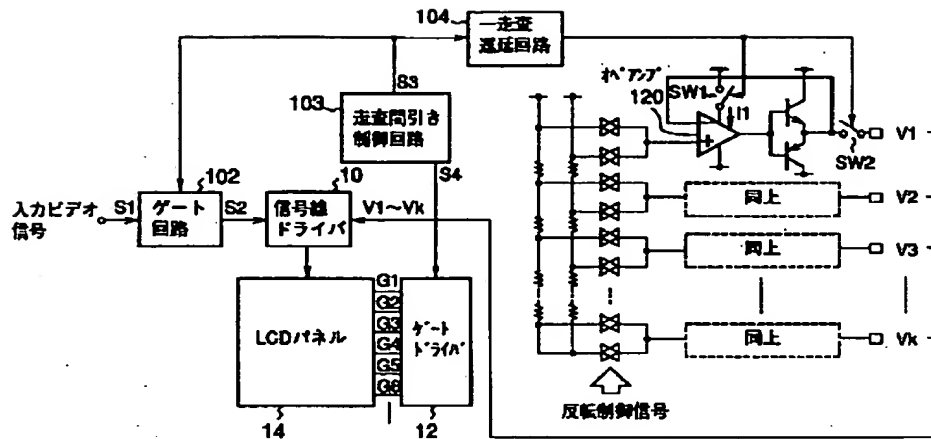
【図20】



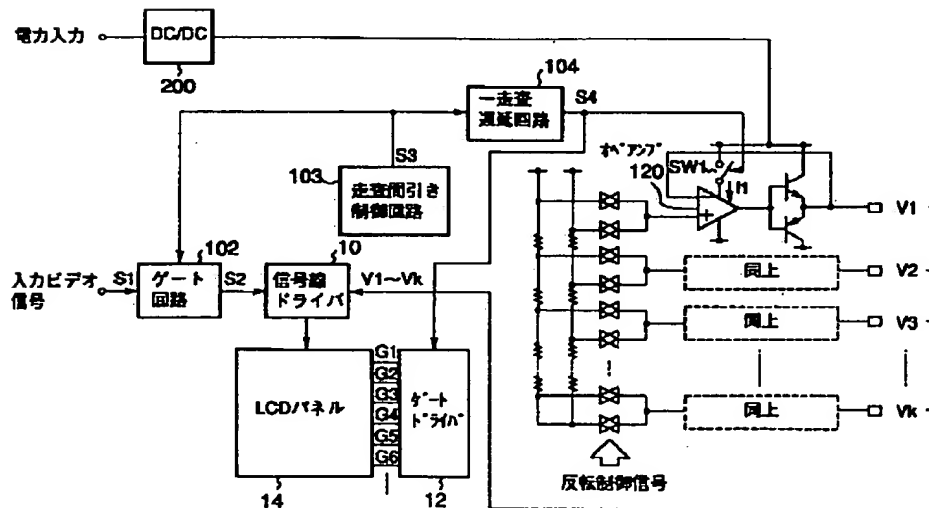
【図25】



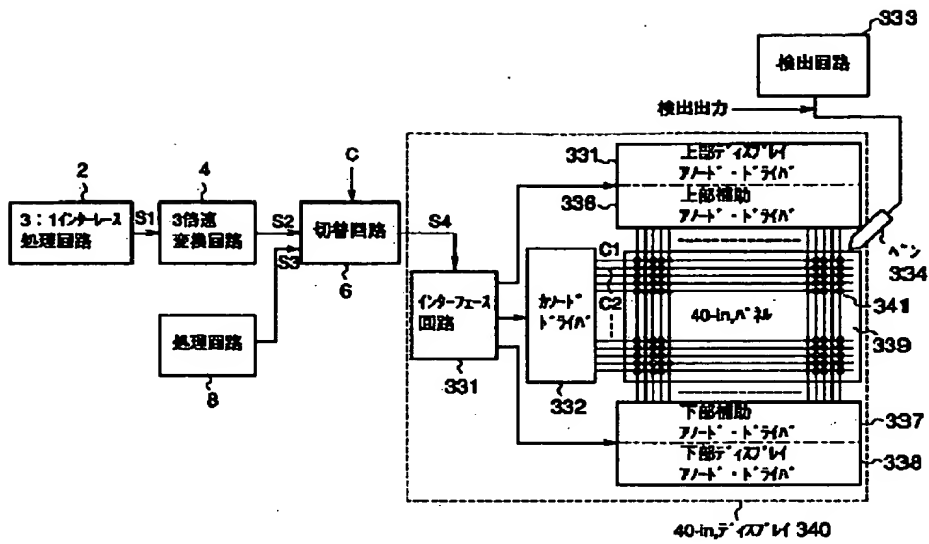
【図11】



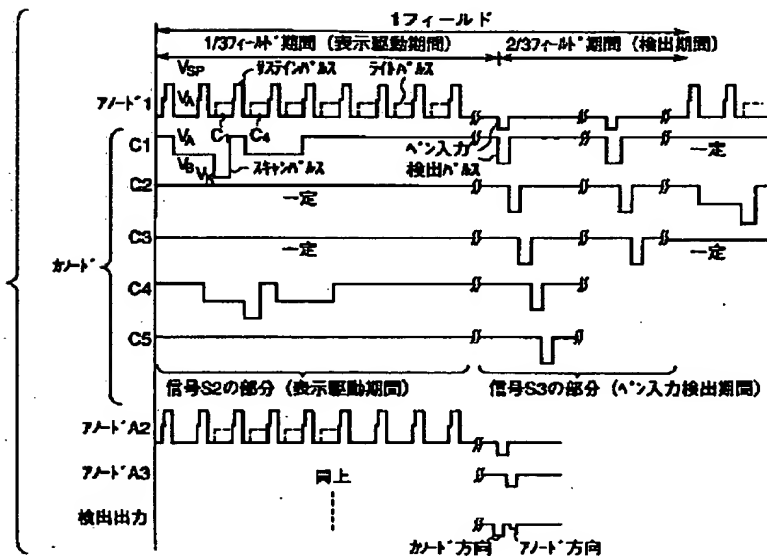
【図12】



【図21】



【図22】



【図23】

